

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-102370

(43)Date of publication of application : 07.05.1988

(51)Int.Cl.

H01L 29/78  
H01L 27/08

(21)Application number : 61-248754

(71)Applicant : MATSUSHITA ELECTRONICS CORP

(22)Date of filing : 20.10.1986

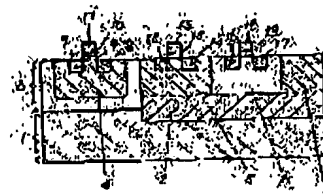
(72)Inventor : SATO KAZUO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the area required for isolation of an MIS nonvolatile memory device and realize a high integrity by a method wherein the MIS nonvolatile memory device of the same conductivity type as a substrate is formed in a 1st well region and MIS field effect transistors which form a complementary pair are provided in a 2nd well region and an isolation epitaxial region respectively.

**CONSTITUTION:** An N-type MNOS nonvolatile memory transistor is formed in the surface region of 1st P-type well layer 4. The transistor has N-type diffused layers 7 and 8 as source and drain and has a gate electrode 11 on an silicon oxide film 9 and a silicon nitride film 10. The thickness of the silicon oxide film 9 is selected to be about 20  $\text{\AA}$  in order to be used as the tunnel medium of the MNOS memory transistor. As the gate insulating film, for instance, a high dielectric film such as an aluminum oxide ( $\text{Al}_2\text{O}_3$ ) film or a tantalum oxide ( $\text{Ta}_2\text{O}_5$ ) film may be employed in place of the silicon nitride film.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-102370

⑬ Int. Cl.<sup>4</sup>H 01 L 29/78  
27/08

識別記号

3 7 1

庁内整理番号

7514-5F  
7373-5F

⑭ 公開 昭和63年(1988)5月7日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-248754

⑰ 出 願 昭61(1986)10月20日

⑱ 発 明 者 佐 藤 和 夫 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 中尾 敏男 外1名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

- (1) 一導電型半導体基板に反対導電型の埋め込み拡散領域および同一導電型のエピタキシャル層、ならびに、前記エピタキシャル層に反対導電型の第1のウェル領域および前記埋め込み拡散領域に通し、同エピタキシャル層を分離する反対導電型の第2のウェル領域を備え、前記第1のウェル領域にMIS型不揮発性記憶素子、前記第2のウェル領域および前記分離エピタキシャル層に、おのおの、相補対をなすMIS型電界効果トランジスタをそなえた半導体装置。
- (2) MIS型不揮発性記憶素子がMNOS(金属-酸化シリコン膜-酸化シリコン膜-半導体)型不揮発性記憶素子であることを特徴とする特許請求の範囲第(1)項記載の半導体装置。

## 3. 発明の詳細な説明

産業上の利用分野

本発明はMIS(金属-絶縁物-半導体)型不揮発性記憶素子を備えた半導体装置に関するものである。

## 従来の技術

LSI技術の進歩に伴ない、半導体集積回路の高性能化、高機能化が進む中で、同一チップ上にMIS型不揮発性記憶素子を用いた電気的書き換え可能なROM(EEPROM)とマイクロコンピュータなどの制御回路機能とを共存させる要求が高まっている。たとえば、MIS型不揮発性記憶素子の1つとして、シリコン基板上にトンネリング媒体となりうる薄い酸化膜を形成し、その上に酸化シリコン膜を形成させ、さらにその上にゲート電極を形成したMNOS(金属-酸化シリコン膜-酸化シリコン膜-半導体)構造の不揮発性メモリトランジスタがよく知られているが、このMNOSメモリトランジスタを用いたメモリ回路部と、このメモリ回路をコントロールする制御回路部とを同一チップに共存させたMNOSメモリ内蔵の1チップマイクロコンピュータがある。

## 特開昭63-102370(2)

このようなMIS型不揮発性記憶素子からなるメモリ回路部と、MIS型電界効果トランジスタからなる周辺回路部とを同一基板上に共存させた半導体装置においては、メモリ以外の周辺回路を同一チップ上に集積するので、チップの消費電力が増加し、このためチップの温度上昇が起こり、同一チップ上に共存させた不揮発性メモリトランジスタの記憶保持特性に悪い影響を与え、これを防ぐため、周辺回路部は、できるだけ低消費電力化が可能なCMOS(相補MOS)化することが必要である。

こうした不揮発性記憶素子とCMOS素子を同一チップ上に共存させた半導体装置を実現するには、不揮発性記憶素子とCMOS素子とを電気的に分離する必要がある、従来は第2図に示すように、一導電型の半導体基板上に基板と反対導電型のエピタキシャル層を設け、前記エピタキシャル層を基板と同一導電型の分離拡散層により分離し、この分離エピタキシャル層に不揮発性記憶素子を形成し、一方、CMOS素子はエピタキシャ

ル層とエピタキシャル層内のウエル領域に形成して分離する構造が通常であった。

発明が解決しようとする問題点

しかしながら、第2図に示すような従来の構造では、CMOSのウエル領域の空乏層と基板の空乏層が接近して、ウエル領域が基板と同電位とならないようにするために、エピタキシャル層の厚みを十分厚くする必要(通常 $15 \sim 20 \mu\text{m}$ )があるが、エピタキシャル層を厚くすると不揮発性記憶素子を分離する分離拡散層が非常に深い拡散層となり、それに伴い分離拡散の横方向の拡散も非常に大きくなり、分離に要する面積を増加させ、その結果、メモリ回路部の集積度があまり上がらないといった欠点を有していた。

本発明の目的は、MIS型不揮発性記憶素子およびCMOS回路を同一チップ上に共存させる半導体装置において、MIS型不揮発性素子の分離に必要な面積を減少させ、高集積化をはかることができる構造を提供することにある。

問題点を解決するための手段

## 実施例

以下、具体的な実施例を図面を用いて説明する。第1図は本発明の一実施例である半導体装置の断面構造図である。この実施例は、 $n$ 型シリコン基板1に $P$ 型の埋め込み層2、および、その上に $n$ 型のエピタキシャル層3をそなえている。 $n$ 型のシリコン基板1の不純物濃度としては、たとえば $2 \times 10^{15} \text{ cm}^{-3}$ 程度のものを用い、 $n$ 型エピタキシャル層3は、リンを不純物として、 $10^{18} \text{ cm}^{-3}$ 程度の濃度で、厚みは $7 \mu\text{m}$ とした。

次に、エピタキシャル層3の表面から第1の $P$ 型ウエル層4を形成し、さらに、エピタキシャル層表面から埋め込み層2に達するように第2の $P$ 型ウエル層5を形成する。この第2の $P$ 型ウエル層5と埋め込み層2とにより、第1図に示すように、エピタキシャル層を分離し、分離エピタキシャル層6が形成できる。本実施例では、第1のウエル層4と第2のウエル層5とは同時に形成し、両ウエルの不純物表面濃度を約 $1 \times 10^{18} \text{ cm}^{-3}$ 、拡散深さを約 $5 \mu\text{m}$ とした。また、ウエル層を形

上記目的を達成するために、本発明は一導電型半導体基板に反対導電型の埋め込み拡散領域および同一導電型のエピタキシャル層を備え、前記エピタキシャル層に反対導電型の第1のウエル領域前記埋め込み拡散領域に達し、同エピタキシャル層を分離する反対導電型の第2のウエル領域を備え、前記第1のウエル領域に前記基板と同一導電型のMIS型不揮発性記憶素子、前記第2のウエル領域および、前記分離エピタキシャル層に、おのおの、相補対をなすMIS型電界効果トランジスタをそなえた半導体装置である。

## 作用

本発明の構造によれば、エピタキシャル層から埋め込み拡散領域に達する第2のウエル領域内および、同ウエル領域と埋め込み拡散領域とにより分離された分離エピタキシャル層内にCMOS素子が設けられているため、不揮発性記憶素子はエピタキシャル層の第1のウエル領域内に形成することで、セル面積を非常に小さくすることができる。

成する熱処理においては、P型の埋め込み層2が上部にも拡散するので、ウエル層5とP型埋め込み層2とがオーバーラップするように熱処理条件を制御する。

以上のように形成された第1のP型ウエル層4の表面領域に、nチャネル型のMNOS型不揮発性メモリトランジスタを形成する。このトランジスタは、n型拡散層7、8を、それぞれ、ソース、ドレインとし、酸化シリコン膜9、酸化シリコン膜10上にゲート電極11を設けた構造となっている。酸化シリコン膜9は、MNOS型メモリトランジスタのトンネリング媒体となりうるように、膜厚を約20Åとした。さらに、酸化シリコン膜9上の酸化シリコン膜10は、シラン( $\text{SiH}_4$ )とアンモニア( $\text{NH}_3$ )の化学反応に基づく気相成長法により約500Å形成させ、ゲート電極11としては、ポリシリコンの金属性電極を用いた。

さらに、第2のP型ウエル層5の表面領域に、nチャネル型MOSトランジスタを形成する。こ

のトランジスタは、n型拡散層12、13をソース、ドレインとし、ゲート絶縁膜14上にゲート電極15を設けた構造である。ゲート絶縁膜14として二酸化シリコン膜を用い、ゲート電極15として、たとえばポリシリコンの金属性電極を用いる。

また、分離エピタキシャル層6の表面領域に、Pチャネル型のMOSトランジスタを形成する。このトランジスタは、P型拡散層16、17をそれぞれソース、ドレインとし、ゲート絶縁膜18上にゲート電極19を設けた構造である。ゲート絶縁膜18としては、二酸化シリコン膜を用い、ゲート電極19としては、たとえばポリシリコンの金属性電極を用いる。

最後に、上述のnチャネルMOSトランジスタとPチャネルMOSトランジスタを相補的に接続することによりCMOS回路を構成することができる。

本実施例ではMIS型不揮発性記憶素子として、MNOS型不揮発性メモリトランジスタを用

いた場合について述べたが、ゲート絶縁膜として酸化シリコン膜の代りに、たとえば酸化アルミニウム( $\text{Al}_2\text{O}_3$ )、酸化タンタル( $\text{Ta}_2\text{O}_5$ )等の高誘電体膜を用いてもよい。

#### 発明の効果

以上のように、本発明の構造によれば、MIS型不揮発性記憶素子およびCMOS素子の双方を備えた半導体装置において、MIS型不揮発性記憶素子の分離に必要な面積を大幅に減少させることが可能となり、高集積化に大きく寄与することが可能となり、高集積化に大きく寄与することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置の構造断面図、第2図は従来の半導体装置の断面構造図である。

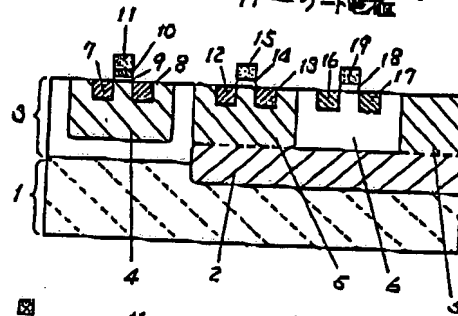
1……n型シリコン基板、2……P型埋め込み層、3……n型エピタキシャル層、4、5……P型ウエル層、6……分離エピタキシャル層、7、8……n型拡散層、9……酸化シリコン膜、10

……酸化シリコン膜、11……ゲート電極、12、13……n型拡散層、14……ゲート絶縁膜、15……ゲート電極、16、17……P型拡散層、18……ゲート絶縁膜、19……ゲート電極。

代理人の氏名 弁理士 中尾敏男 ほか1名

- 1 - 9型シリコン基板
- 2 - P型埋込層
- 3 - 9型エピタキシャル層
- 4,5 - P型フェル層
- 6 - 9型エピタキシャル層
- 7,8 - 9型埋込層
- 9 - 酸化シリコン膜
- 10 - 酸化シリコン膜
- 11 - ゲート電極
- 12,13 - 9型埋込層
- 14 - ゲート絶縁膜
- 15 - ゲート電極
- 16,17 - P型埋込層
- 18 - ゲート絶縁膜
- 19 - ゲート電極

第 1 図



第 2 図

